



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0048228
Application Number

출원 년 월 일 : 2003년 07월 15일
Date of Application JUL 15, 2003

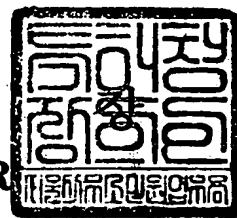
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 07 29
년 월 일

특 허 청

COMMISSIONER





1020030048228

출력 일자: 2003/7/30

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0004
【제출일자】 2003.07.15
【발명의 명칭】 디디알 에스디램에서의 링잉 현상 방지 방법 및 그 장치
【발명의 영문명칭】 A method for masking the ringing in SDRAM and the device therefor
【출원인】
【명칭】 주식회사 하이닉스반도체
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 강성배
【대리인코드】 9-1999-000101-3
【포괄위임등록번호】 1999-024436-4
【발명자】
【성명의 국문표기】 배성호
【성명의 영문표기】 BAE, Sung Ho
【주민등록번호】 701229-1550816
【우편번호】 143-202
【주소】 서울특별시 광진구 구의2동 57-17 301호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 1 면 1,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 8 항 365,000 원
【합계】 395,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 DDR SDRAM에서의 라이트 동작시 인가되는 DQS 신호의 링잉 현상에 의하여 초래될 수 있는 라이트 오류를 방지할 수 있는 DDR SDRAM에서의 링잉 현상 방지 방법 및 그 장치에 관한 것이다.

본 발명에 다른 DQS 신호를 수신하는 DQS 버퍼 및 상기 DQS 버퍼로부터 출력되는 상기 DQS 신호를 저장하는 DQS 래치와, 데이터를 수신하는 데이터 버퍼와, 상기 데이터 버퍼로부터 전달되는 상기 데이터를 저장하는 데이터 래치와, 상기 데이터 래치에 저장된 데이터를 수신하여 글로벌 입출력 라인으로 전달하는 데이터 입출력 감지 증폭기를 구비하여 라이트 동작을 수행하는 DDR SDRAM에서의 링잉 현상 방지 장치는 라이트 커맨드 인가시, 버스트 길이가 종료되는 시점을 판별하여 상기 DQS 버퍼의 동작을 디스에이블시키고, 일정 시간 지난 후 상기 DQS 버퍼의 동작을 정상적으로 회복시키는 제어 신호를 발생하는 수단을 더 구비한다.

DQS 버퍼를 제어하여 DDR SDRAM에서의 링잉 현상 방지하는 본 발명의 기술적 사상을 이용하는 경우, 링잉 현상에 의한 라이트 오동작을 효과적으로 차단할 수 있다.

【대표도】

도 3



【명세서】

【발명의 명칭】

디디알 에스디램에서의 링잉 현상 방지 방법 및 그 장치{A method for masking the ringing in SDRAM and the device therefor}

【도면의 간단한 설명】

도 1a는 DDR SDRAM에서의 라이트 동작 과정을 설명하는 데이터 입력부의 블록도.

도 1b는 DDR SDRAM에서의 일반적인 라이트 동작을 설명하는 타이밍도.

도 2는 링잉 현상이 발생한 경우의 라이트 동작을 설명하는 타이밍도.

도 3은 본 발명에 따른 DDR SDRAM 에서의 링잉 현상 방지 장치의 블록도.

도 4는 도 3의 회로에 사용된 신호의 타이밍도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <6> 본 발명은 DDR SDRAM에서의 링잉 현상 방지 방법 및 그 장치에 관한 것으로, 특히 DDR SDRAM에서의 라이트 동작시 인가되는 DQS 신호의 링잉 현상에 의하여 초래될 수 있는 라이트 오류를 방지할 수 있는 DDR SDRAM에서의 링잉 현상 방지 방법 및 그 장치에 관한 것이다.
- <7> 일반적으로, DDR SDRAM 은 라이트 동작시 DQS 신호의 라이징 에지와 폴링 에지에서 데이터를 래치하므로, 클럭신호(clk)의 주파수보다 2 배로 동작한다. 즉, Double Data Rate 으로 동작한다. 통상, 이러한 Double Data Rate 동작은 입출력 버퍼에서만 이루어지며, DDR SDRAM 의 내부 동작은 SDRAM 과같이 1 클럭 간격으로 행해진다.

- <8> 그런데, 이러한 Double Data Rate 동작을 구현하기 위하여, DDR SDRAM의 내부에서는 2개의 (dsrt2/dsft2)를 만들고, 이들 각 신호의 라이징 에지에서 데이터를 래치하는 방법을 사용하고 있다.
- <9> 이하, 도면을 참조하여 DDR SDRAM의 일반적인 라이트 동작에 대하여 설명하기로 한다.
- <10> 도 1a는 DDR SDRAM에서의 라이트 동작 과정을 설명하는 데이터 입력부의 블록도이다.
- <11> 도 1a에서, DQS 버퍼(100)는 DDR SDRAM 에서 사용되는 DQS 신호를 수신하여 버퍼링하는 장치이고, DQS 래치(110)는 DQS 버퍼(100)로부터 출력된 신호를 수신하여 래치하는 기능을 갖는다.
- <12> Din 버퍼(120)는 데이터 입력 버퍼로서, 데이터(DQ)를 수신하여 버퍼링하는 장치이고, Din 래치(130)는 데이터 래치로서, Din 버퍼(120)로부터 전달된 데이터(DQ)를 수신하여 래치하는 기능을 갖는다.
- <13> Din IOSA(140)는 데이터 입출력 감지 증폭기로서, 데이터 입력 버퍼인 Din 래치(130)로부터 출력되는 데이터를 수신하여 증폭한 다음, 그 증폭된 데이터를 글로벌 입출력 라인(gio_e, gio_o)으로 전달하는 기능을 갖는다. 여기서, dinstbp 신호(data input strobe pulse의 약어)는 Din IOSA(140)를 인에이블시키는 신호이다.
- <14> 도 1b는 DDR SDRAM에서의 일반적인 라이트 동작을 설명하는 타이밍도이다.
- <15> 도 1b에서, clk는 외부클락신호를 나타내고, DQ는 외부로부터 입력되는 데이터를 나타내고, algn_r와 algn_f는 DQS 신호의 폴링 에지(즉, dsft2의 라이징 에지)에서 래치되어 정렬된 데이터를 나타내며, dinstbp는 데이터 래치에 정렬된 데이터(algn_r와 algn_f)를 그 라이징 에지에서 래치하여 글로벌 입출력 라인으로 전달하며, gio_e와 gio_o는 DDR SDRAM 내부에서 데

이타가 전달되는 이븐 및 아드 글로벌 버스 라인을 나타낸다. 그리고, 1st_r, 1st_f, 2nd_r, 2nd_f(버스트 길이=4)는 연속적으로 인가되는 데이터를 나타낸다.

<16> 이하, 도 1a, 1b를 참조하여 전체적인 라이트 동작을 설명한다.

<17> 외부로부터 인가되는 클락신호(clk)에 동기되어 라이트 커맨드가 인가된 다음, 일정 시간이 경과하면 도 1b 에서와 같이 DQS 신호가 외부로부터 DQS 버퍼(100)로 인가된다. DQS 래치(110)는 DQS 버퍼(100)로부터 DQS 신호를 수신하여 DQS 신호의 라이징 에지에 동기되어 발생하는 펄스신호인 dsrt2 신호와, DQS 신호의 폴링 에지에 동기되어 발생하는 펄스 신호인 dsft2 신호를 발생시킨다.

<18> 데이터 버퍼(120)에 인가되는 데이터(1st_r, 1st_f, 2nd_r, 2nd_f)는 DQS 신호의 라이징 에지 및 폴링 에지에 동기되어 데이터 래치(130)에 저장된다. 다시 표현하면, dsrt2 신호의 라이징 에지에 동기되어 첫번째 데이터(1st_r)가 데이터 래치(130)에 저장되고, dsft2 신호의 라이징 에지에 동기되어 두번째 데이터 (1st_f)가 데이터 래치(130)에 저장된다. 데이터 래치(130)에 저장된 데이터는 DQS 신호의 폴링 에지에 동기(즉, dsft2 신호의 라이징 에지에 동기)되어 정렬(alignment)된 다음, Din IOSA(140)으로 인가된다. 여기서, DQS 신호의 폴링 에지에 동기되고 정렬되어 Din IOSA(140)으로 인가되는 데이터는 algn_r, algn_f 로 표시하였다.

<19> 다음, Din IOSA(140)에 저장된 데이터는 Din IOSA(140)의 동작을 인에이블시키는 데이터인 스트로브 펄스 신호(dinstbp)에 의하여 글로벌 입출력 라인(gio_e, gio_o)으로 데이터를 전달한다.

<20> 상기의 동작은 두번째 DQS 신호의 라이징 에지와 폴링 에지에 동기되어 래치되는 데이터(2nd_r, 2nd_f)에도 동일하게 적용된다.

- <21> 이러한 라이트 동작이 종료되면, DQS 신호는 포스트앰블(postamble)을 거친후 하이 임피던스 상태로 되돌아 간다.
- <22> 그런데, 포스트앰블후에 링잉 현상이 초래되는 경우, 링잉 현상으로 발생된 잘못된 DQS 신호의 라이징 및 폴링 에지에 동기되어, 마지막 DQS 신호(예컨대 도 1의 두번째 DQS 신호)의 폴링 에지에 동기되어 Din 래치(130)에 저장 및 정렬되어 있던 데이터(2nd_algn_r, 2nd_algn_f)는 오류 데이터(wrong data)로 대체되는 경우가 초래된다. 이러한 링잉 현상으로 인한 오동작은 도 2 에 도시되어 있다.
- <23> 이상에서 알 수 있듯이, 라이트 동작에 있어서, DQS 신호의 정상적인 동작이 종료된 후, DQS가 하이 임피던스 상태로 되는 경우, 링잉 현상이 발생한다.
- <24> 일반적으로, 라이트 동작시 DQS 의 링잉에 의한 라이트 오류(write fail)현상은 모든 마더 보드(mother board)에서 발생하는 것은 아니지만, 기술이 발전하면서 마더 보드에 있는 메모리 모듈 슬롯(slot)의 개수나 클락 주파수의 증가 등의 원인으로 라이트 오류가 증가하는 추세이다.
- <25> 링잉 현상이 발생하는 경우, DDR SDRAM은 DQS의 링잉을 정상적인 DQS 신호로 판단하여 링잉의 라이징 에지 및 폴링 에지시에 비유효한 데이터(wrong data)를 래치하게 되며, 그 결과, 데이터 래치에 저장되어 있던 마지막 2 개의 데이터(2nd_algn_r, 2nd_algn_f)는 비유효한 데이터로 대체되어 글로벌 입출력 버스 라인으로 전달되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, 링잉 현상이 발생한 DQS 신호가 DQS 버퍼를 통과하지 못하도록 DQS 버퍼를 제어하여 링잉 현상을 차단하는 방법 및 그 장치를 제안하고자 한다.

【발명의 구성 및 작용】

<27> 본 발명의 제 1 실시예인 (a)DQS 버퍼를 통하여 DQS 신호를 수신하고, 데이터 입력 버퍼를 통하여 복수개의 데이터를 수신하는 단계;(b)상기 DQS 버퍼로부터 출력되는 상기 DQS 신호를 DQS 래치에 저장하는 단계;(c)상기 DQS 신호의 라이징 에지에 동기되어 제 1 신호를 발생시키고, 상기 DQS 신호의 폴링 에지에 동기되어 제 2 신호를 발생시키는 단계;(d)상기 제 1 신호의 라이징 에지에 동기되어 상기 데이터 입력 버퍼로부터 출력되는 상기복수개의 데이터중에서 첫번째 데이터를 상기 데이터 입력 래치에 저장하는 단계;(e)상기 제 2 신호의 라이징 에지에 동기되어 상기 데이터 입력 버퍼로부터 출력되는 상기 복수개의 데이터중에서 두번째 데이터를 상기 데이터 입력 래치에 저장하는 단계;(f)상기 제 2 신호의 폴링 에지에 동기되어 상기 데이터 입력 래치에 저장된 상기 첫번째 및 두번째 데이터를 데이터 입출력 감지 증폭기로 전달하는 단계를 포함하는 DDR SDRAM에서의 라이트 동작시 발생하는 링잉 현상 방지 방법은 (g) 상기 버스트 길이가 종료되는 시점을 판별하여 상기 DQS 버퍼의 동작을 제어하는 단계를 더 포함한다.

<28> 위의 경우, 상기 (g) 단계는 (g-1) 라이트 커맨드 인가시 제 1 펄스 신호를 발생하는 단계;(g-2) 상기 제 1 펄스 신호 및 버스트 길이에 따라 상기 버스트 길이동안 인에이블되는 제 1 내지 제 4 라이트 버스트 신호를 발생하는 단계;(g-3) 상기 제 1 라이트 버스트 신호가 인에이블되어 있는 동안 상기 DDR SDRAM의 클락신호에 동기되어 발생하는 제 2 펄스 신호를 발생하

는 단계;(g-4) 상기 제 1 및 제 2 펄스 신호를 조합하여 상기 버스트 길이에 따라 상기 제 1 라이트 버스트 신호를 디스에이블시키는 제 3 펄스 신호를 발생하는 단계;(g-5) 상기 제 1 라이트 버스트 신호가 디스에이블된 후, 상기 단계(c)의 제 2 신호에 동기되어 상기 DQS 버퍼의 동작을 차단하기 위한 제 4 펄스 신호를 발생시키는 단계;(g-6) 상기 제 2 내지 제 4 라이트 버스트 신호를 이용하여 상기 제 4 펄스 신호를 디스에이블시키고, 상기 DQS 버퍼가 정상 동작하도록 하는 단계를 포함한다.

<29> 본 발명의 제 1 실시예에 있어서, 제 1 라이트 버스트 신호는 상기 제 1 펄스 신호에 의하여 상기 버스트 길이동안 인에이블되고,상기 제 2 라이트 버스트 신호는 상기 제 1 라이트 버스트 신호를 클락신호의 1/2 주기만큼 지연시킨 신호이고, 상기 제 3 라이트 버스트 신호는 상기 제 2 라이트 버스트 신호를 클락신호의 1/2 주기만큼 지연시킨 신호이고,상기 제 4 라이트 버스트 신호는 상기 제 3 라이트 버스트 신호를 클락신호의 1/2 주기만큼 지연시킨 신호이다.

<30> 본 발명의 제 2 실시예인 DQS 신호를 수신하는 DQS 버퍼 및 상기 DQS 버퍼로부터 출력되는 상기 DQS 신호를 저장하는 DQS 래치와,데이타를 수신하는 데이타 버퍼와, 상기 데이타 버퍼로부터 전달되는 상기 데이타를 저장하는 데이타 래치와,상기 데이타 래치에 저장된 데이타를 수신하여 글로벌 입출력 라인으로 전달하는 데이타 입출력 감지 증폭기를 구비하여 라이트 동작을 수행하는 DDR SDRAM에서의 링잉 현상 방지 장치는 라이트 커맨드 인가시, 버스트 길이가 종료되는 시점을 판별하여 상기 DQS 버퍼의 동작을 제어하는 수단을 더 구비한다.

<31> 여기서, DQS 버퍼의 동작을 제어하는 수단은 라이트 커맨드 인가시 제 1 펄스 신호를 발생하는 라이트 커맨드 디코더와,상기 제 1 펄스 신호 및 상기 버스트 길이에 따라 상기 버스트 길이동안 인에이블되는 제 1 내지 제 4 라이트 버스트 신호를 발생하는 라이트 버스트 발생기

와, 상기 제 1 라이트 버스트 신호가 인에이블되어 있는 동안 상기 DDR SDRAM의 클락신호에 동기되어 발생하는 제 2 펄스 신호를 생성하는 내부 라이트 발생기와, 상기 제 1 및 제 2 펄스 신호를 조합하여 상기 버스트 길이에 따라 상기 제 1 라이트 버스트 신호를 디스에이블시키는 제 3 펄스 신호를 발생하는 버스트 길이 카운터와, 상기 제 1 라이트 버스트 신호가 디스에이블된 후, 상기 DQS 신호의 폴링 에지에 동기되어 상기 DQS 버퍼의 동작을 제어하는 제 4 펄스 신호를 발생시키는 DQS 제어부를 구비한다.

<32> 본 발명에서, 라이트 버스트 발생기는 상기 제 2 펄스 신호를 수신하여 상기 제 3 펄스 신호를 카운팅하는 기능을 갖는다.

<33> 본 발명의 제 3 실시예인 DQS 신호를 수신하는 DQS 버퍼 및 상기 DQS 버퍼로부터 출력되는 상기 DQS 신호를 저장하는 DQS 래치와, 데이터를 수신하는 데이터 버퍼와, 상기 데이터 버퍼로부터 전달되는 상기 데이터를 저장하는 데이터 래치와, 상기 데이터 래치에 저장된 데이터를 수신하여 글로벌 입출력 라인으로 전달하는 데이터 입출력 감지 증폭기를 구비하여 라이트 동작을 수행하는 DDR SDRAM에서의 링잉 현상 방지 장치는 라이트 커맨드 인가시, 버스트 길이가 종료되는 시점을 판별하여 상기 DQS 버퍼의 동작을 디스에이블시키고, 일정 시간 지난 후 상기 DQS 버퍼의 동작을 정상적으로 회복시키는 제어 신호를 발생하는 수단을 더 구비한다.

<34> (실시예)

<35> 이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하기로 한다.

<36> 도 3은 본 발명에 따른 DDR SDRAM 에서의 링잉 현상 방지 장치를 도시한다.

- <37> 도 3에 도시된 본 발명의 회로 블록의 동작의 핵심은 라이트 커맨드가 인가 된 경우, 버스트 길이(예컨대, 버스트 길이는 2, 4 또는 8)에 따라서 DQS 에 링잉이 발생할 시간을 미리 계산하여 그 전에 DQS 버퍼(330)를 디스에이블시키는 것이다.
- <38> 이하, 구성에 대하여 설명하기로 한다.
- <39> 도시된 바와같이, 본 발명에 따른 DDR SDRAM 에서의 링잉 현상 방지 장치는 DQS 버퍼(330)를 제어하기 위하여 라이트 커맨드 디코더(300)와, 라이트 버스트 발생기(310)와, 내부 라이트 발생기(320)와, 버스트 길이 카운터(350)와, DQS 제어부(340)을 구비한다. 여기서, DQS 버퍼(330)는 DQS 제어부(340)의 제어를 받는다는 것을 제외하고는 그 기능은 도 1의 DQS(100)와 동일하다..
- <40> 라이트 커맨드 디코더(300)는 /RAS, /CAS, /WE, clk 등의 신호에 의하여 라이트 커맨드가 인가되었는지를 판별한다. 외부 커맨드 신호가 라이트 커맨드 신호인 경우, 라이트 커맨드 디코더(300)는 펄스 신호(WTP6)를 발생시킨다(도 4 참조).
- <41> 라이트 버스트 발생기(310)는 클라신호(clk)에 동기되어 동작하며 펄스 신호(WTP6)를 수신하여 신호(wt_burst0)를 발생시킨다. 여기서, 신호(wt_burst0)는 신호(WTP6)에 의하여 발생하는 신호로서, 버스트 길이만큼 인에이블된다(도 4 참조). 따라서, 버스트 길이에 따라 신호(wt_burst0)의 주기는 달라진다. 또한, 라이트 버스트 발생기(310)는 버스트 길이를 나타내는 신호(b12, 4, 8)를 수신한다. 여기서, b12 는 버스트 길이가 2 인 경우, b14는 버스트 길이가 4 인 경우, b18은 버스트 길이가 8 인 경우를 나타낸다.
- <42> 내부 라이트 발생기(320)는 신호(wt_burst0)에 의하여 인에이블된 후 새로운 라이트 커맨드 신호가 인가되기 전까지 클락신호(clk)의 라이징 에지에 동기되어 신호(wt_icasp6)를 발

생시킨다(도 4 참조). 즉, 신호(wt_burst0)가 하이 레벨로 인에이블 되어 있는 동안 매 클락 신호마다 펄스 신호(wt_icasp6)를 발생시킨다. 참고로, 신호(wt_icasp6)는 후술될 신호(blcnt<0>,<1>)를 카운팅 하는데 사용되는 신호로서 신호(wt_burst0)가 인에이블되어 있는 동안 클럭신호(clk)에 동기되어 발생된다.

<43> 버스트 길이 카운터(350)는 신호(wt_icasp6)와 신호(wtp6)를 수신하여 카운팅 신호인 blcnt<0>,<1> 를 발생시킨다. 신호(blcnt<0>,<1>)는 버스트 길이에 맞춰서 신호(wt_burst0)를 디스에이블시킨다. 신호(blcnt<0>,<1>)의 초기값은 라이트 커맨드 인가시 발생하는 신호(wtp6)를 이용하여 결정된다. 본 발명에서, 신호(blcnt<0>)의 초기값은 하이 레벨이며, 신호(blcnt<1>)의 초기값은 로우 레벨이다. 신호(blcnt<0>,<1>)는 라이트 버스트 발생기(310)에 인가되어 버스트 길이에 따라 신호(wt_burst0)를 디스에이블시킨다.

<44> DQS 제어부(340)는 신호(wt_burst0)가 디스에이블된 후, DQS 신호의 폴링 에지에 동기되어 발생된 dsft2 신호에 의하여 신호(dsb)를 로우 레벨로 인에이블시킨다. 여기서, DQS 제어부(340)는 라이트 버스트 발생기(310)으로부터 발생된 신호(wt_burst0, wt_burst1, wt_burst2, wt_burst3)를 수신하여 신호(dsb)를 하이 레벨로 디스에이블시키는 타이밍을 결정한다(도 4 참조). 여기서, 신호(wt_burst1)는 신호(wt_burst0)를 $1/2t_{clk}$ (t_{clk} 는 클럭신호의 주기) 지연시킨 신호이고, 신호(wt_burst2)는 신호(wt_burst1)를 $1/2t_{clk}$ 지연시킨 신호이고, 신호(wt_burst3)는 신호(wt_burst2)를 $1/2t_{clk}$ 지연시킨 신호이다(도 4 참조).

<45> 도 4는 도 3의 회로에 사용된 신호의 타이밍도이다.

<46> 이하, 동작에 대하여 설명한다.

- <47> 전술한 바와같이, 본 발명의 회로 블록의 동작의 핵심은 라이트 커맨드가 인가 된 경우, 버스트 길이에 따라서 DQS 에 링잉이 발생할 시간을 미리 계산하여 그 전에 DQS 버퍼(330)를 디스에이블시키는 것이다.
- <48> 이를 위하여, 도 3에서와 같이, 라이트 커맨드 인가시, 버스트 길이만큼 인에이블 상태를 지속하는 신호(wt_burst0)를 라이트 버스트 발생기(310)를 통하여 발생시킨다. 이 신호(wt_burst0)는 버스트 길이만큼 인에이블 상태를 유지하여야 하므로, 이를 위하여 내부 라이트 발생기(320)와 버스트 길이 카운터(350)를 제공하였다.
- <49> DQS 버퍼(330)의 동작을 디스에이블시키는 신호(dsb)는 신호(wt_burst0)가 디스에이블된 후, DQS 신호의 마지막 폴링 에지에 동기되어 인에이블되고, 신호(wt_burst3)의 폴링 에지에 동기되어 디스에이블된다. 따라서, 신호(dsb)가 로우 레벨을 유지하는 동안에는 DQS 버퍼의 출력이 로우 상태를 유지하게 되어 DQS 신호에 링잉이 발생하는 경우에도 효과적으로 차단할 수 있다. 도 4에서도 알 수 있듯이, DQS 신호에 링잉이 발생한 경우에도, DQS 버퍼의 동작이 디스에이블되어 있으므로, dsrt2, dsft2 신호에 글리치가 발생하지 않으며, 따라서 데이터 래치에 저장된 데이터(2nd_algn_r, 2nd_algn_f)는 안정된 상태를 유지하고 있다가 dinstbp 신호에 동기되어 감지 증폭기를 통하여 글로벌 입출력 라인으로 전달됨을 알 수 있다.

【발명의 효과】

- <50> 이상에서 알 수 있는 바와같이, DQS 버퍼를 제어하여 DDR SDRAM에서의 링잉 현상 방지하는 본 발명의 기술적 사상을 이용하는 경우, 링잉 현상에 의한 라이트 오동작을 효과적으로 차단할 수 있음을 알 수 있다.

【특허청구범위】

【청구항 1】

(a)DQS 버퍼를 통하여 DQS 신호를 수신하고, 데이터 입력 버퍼를 통하여 복수개의 데이터를 수신하는 단계;

(b) 상기 DQS 버퍼로부터 출력되는 상기 DQS 신호를 DQS 래치에 저장하는 단계;

(c)상기 DQS 신호의 라이징 에지에 동기되어 제 1 신호를 발생시키고, 상기 DQS 신호의 폴링 에지에 동기되어 제 2 신호를 발생시키는 단계;

(d) 상기 제 1 신호의 라이징 에지에 동기되어 상기 데이터 입력 버퍼로부터 출력되는 상기복수개의 데이터중에서 첫번째 데이터를 상기 데이터 입력 래치에 저장하는 단계;

(e)상기 제 2 신호의 라이징 에지에 동기되어 상기 데이터 입력 버퍼로부터 출력되는 상기 복수개의 데이터중에서 두번째 데이터를 상기 데이터 입력 래치에 저장하는 단계;

(f) 상기 제 2 신호의 폴링 에지에 동기되어 상기 데이터 입력 래치에 저장된 상기 첫번째 및 두번째 데이터를 데이터 입출력 감지 증폭기로 전달하는 단계를 포함하는 DDR SDRAM에서의 라이트 동작시 발생하는 링잉 현상 방지 방법에 있어서,

(g) 상기 버스트 길이가 종료되는 시점을 판별하여 상기 DQS 버퍼의 동작을 제어하는 단계를 더 포함하는 것을 특징으로 하는 DDR SDRAM에서의 링잉 현상 방지 방법.

【청구항 2】

제 1 항에 있어서, 상기 (g) 단계는

(g-1) 라이트 커맨드 인가시 제 1 펄스 신호를 발생하는 단계;

(g-2) 상기 제 1 펄스 신호 및 버스트 길이에 따라 상기 버스트 길이동안 인에이블되는 제 1 내지 제 4 라이트 버스트 신호를 발생하는 단계;

(g-3) 상기 제 1 라이트 버스트 신호가 인에이블되어 있는 동안 상기 DDR SDRAM의 클락 신호에 동기되어 발생하는 제 2 펄스 신호를 발생하는 단계;

(g-4) 상기 제 1 및 제 2 펄스 신호를 조합하여 상기 버스트 길이에 따라 상기 제 1 라이트 버스트 신호를 디스에이블시키는 제 3 펄스 신호를 발생하는 단계;

(g-5) 상기 제 1 라이트 버스트 신호가 디스에이블된 후, 상기 단계(c)의 제 2 신호에 동기되어 상기 DQS 버퍼의 동작을 차단하기 위한 제 4 펄스 신호를 발생시키는 단계;

(g-6) 상기 제 2 내지 제 4 라이트 버스트 신호를 이용하여 상기 제 4 펄스 신호를 디스에이블시키고, 상기 DQS 버퍼가 정상 동작하도록 하는 단계를 포함하는 것을 특징으로 하는 DDR SDRAM에서의 링잉 현상 방지 방법.

【청구항 3】

제 2 항에 있어서,

상기 제 1 라이트 버스트 신호는 상기 제 1 펄스 신호에 의하여 상기 버스트 길이동안 인에이블되고,

상기 제 2 라이트 버스트 신호는 상기 제 1 라이트 버스트 신호를 클락신호의 1/2 주기만큼 지연시킨 신호이고,

상기 제 3 라이트 버스트 신호는 상기 제 2 라이트 버스트 신호를 클락신호의 1/2 주기만큼 지연시킨 신호이고,

상기 제 4 라이트 버스트 신호는 상기 제 3 라이트 버스트 신호를 클락신호의 1/2 주기만큼 지연시킨 신호인 것을 특징으로 하는 DDR SDRAM에서의 링잉 현상 방지 방법.

【청구항 4】

DQS 신호를 수신하는 DQS 버퍼 및 상기 DQS 버퍼로부터 출력되는 상기 DQS 신호를 저장하는 DQS 래치와,

데이터를 수신하는 데이터 버퍼와, 상기 데이터 버퍼로부터 전달되는 상기 데이터를 저장하는 데이터 래치와,

상기 데이터 래치에 저장된 데이터를 수신하여 글로벌 입출력 라인으로 전달하는 데이터 입출력 감지 증폭기를 구비하여 라이트 동작을 수행하는 DDR SDRAM에서의 링잉 현상 방지 장치에 있어서,

라이트 커맨드 인가시, 버스트 길이가 종료되는 시점을 판별하여 상기 DQS 버퍼의 동작을 제어하는 수단을 더 구비하는 것을 특징으로 하는 DDR SDRAM에서의 링잉 현상 방지 장치.

【청구항 5】

제 4 항에 있어서, 상기 DQS 버퍼의 동작을 제어하는 수단은

라이트 커맨드 인가시 제 1 펄스 신호를 발생하는 라이트 커맨드 디코더와,

상기 제 1 펄스 신호 및 상기 버스트 길이에 따라 상기 버스트 길이동안 인에이블되는 제 1 내지 제 4 라이트 버스트 신호를 발생하는 라이트 버스트 발생기와,

상기 제 1 라이트 버스트 신호가 인에이블되어 있는 동안 상기 DDR SDRAM의 클락신호에 동기되어 발생하는 제 2 펄스 신호를 생성하는 내부 라이트 발생기와,

상기 제 1 및 제 2 펄스 신호를 조합하여 상기 버스트 길이에 따라 상기 제 1 라이트 버스트 신호를 디스에이블시키는 제 3 펄스 신호를 발생하는 버스트 길이 카운터와,

상기 제 1 라이트 버스트 신호가 디스에이블된 후, 상기 DQS 신호의 폴링 에지에 동기되어 상기 DQS 버퍼의 동작을 제어하는 제 4 펄스 신호를 발생시키는 DQS 제어부를 구비하는 것을 특징으로 하는 DDR SDRAM에서의 링잉 현상 방지 장치.

【청구항 6】

제 5 항에 있어서,

상기 제 1 라이트 버스트 신호는 상기 제 1 펄스 신호에 의하여 상기 버스트 길이동안 인에이블되고,

상기 제 2 라이트 버스트 신호는 상기 제 1 라이트 버스트 신호를 클락신호의 1/2 주기만큼 지연시킨 신호이고,

상기 제 3 라이트 버스트 신호는 상기 제 2 라이트 버스트 신호를 클락신호의 1/2 주기만큼 지연시킨 신호이고,

상기 제 4 라이트 버스트 신호는 상기 제 3 라이트 버스트 신호를 클락신호의 1/2 주기만큼 지연시킨 신호이며,

상기 제 2 내지 제 4 라이트 버스트 신호를 이용하여 상기 제 4 펄스 신호를 디스에이블시키며, 상기 제 4 펄스 신호가 디스에이블되는 경우 상기 DQS 버퍼는 정상 동작하는 것을 특징으로 하는 DDR SDRAM에서의 링잉 현상 방지 장치.

【청구항 7】

제 5 항에 있어서, 상기 라이트 버스트 발생기는 상기 제 2 펄스 신호를 수신하여 상기 제 3 펄스 신호를 카운팅하는 것을 특징으로 하는 DDR SDRAM에서의 링잉 현상 방지 장치.

【청구항 8】

DQS 신호를 수신하는 DQS 버퍼 및 상기 DQS 버퍼로부터 출력되는 상기 DQS 신호를 저장하는 DQS 래치와,

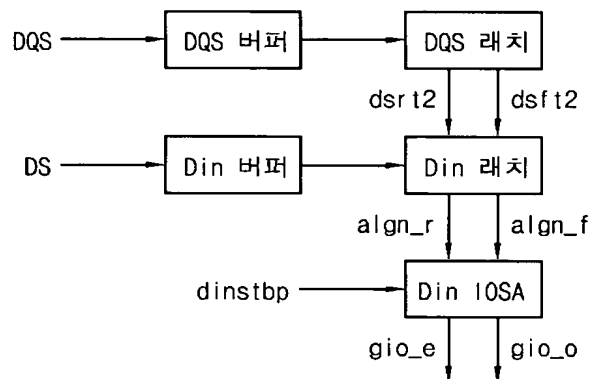
데이터를 수신하는 데이터 버퍼와, 상기 데이터 버퍼로부터 전달되는 상기 데이터를 저장하는 데이터 래치와,

상기 데이터 래치에 저장된 데이터를 수신하여 글로벌 입출력 라인으로 전달하는 데이터 입출력 감지 증폭기를 구비하여 라이트 동작을 수행하는 DDR SDRAM에서의 링잉 현상 방지 장치에 있어서,

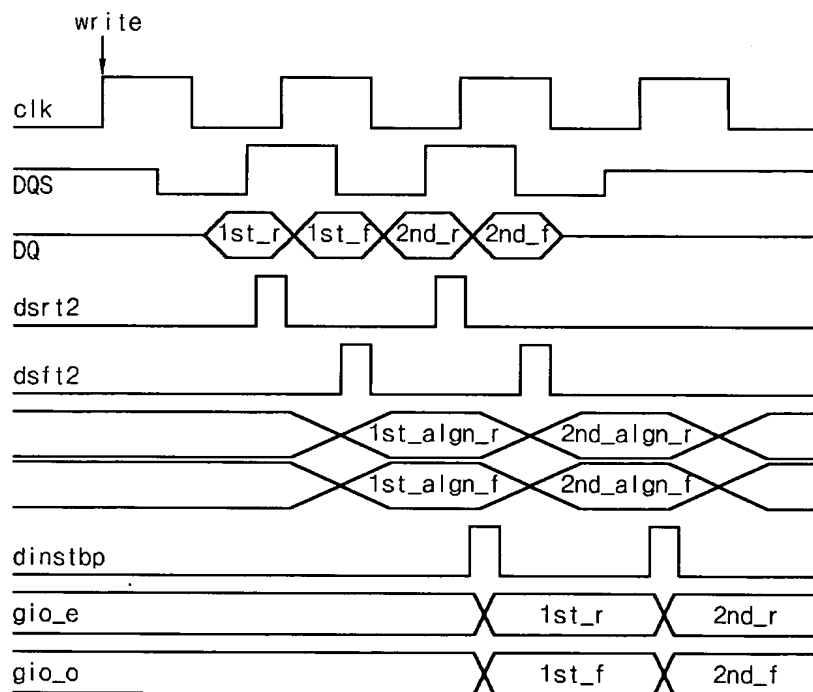
라이트 커맨드 인가시, 버스트 길이가 종료되는 시점을 판별하여 상기 DQS 버퍼의 동작을 디스에이블시키고, 일정 시간 지난 후 상기 DQS 버퍼의 동작을 정상적으로 회복시키는 제어 신호를 발생하는 수단을 더 구비하는 것을 특징으로 하는 DDR SDRAM에서의 링잉 현상 방지 장치.

【도면】

【도 1a】

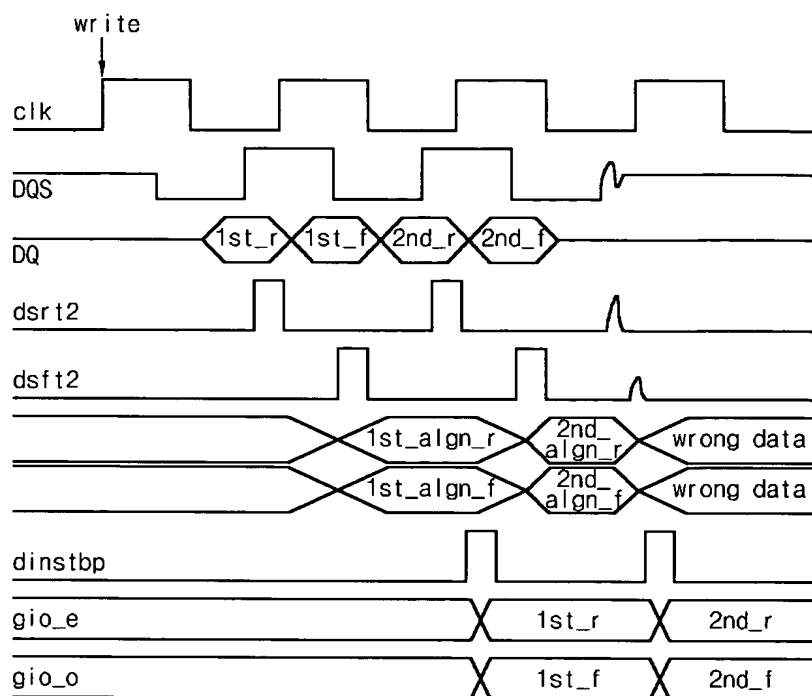


【도 1b】

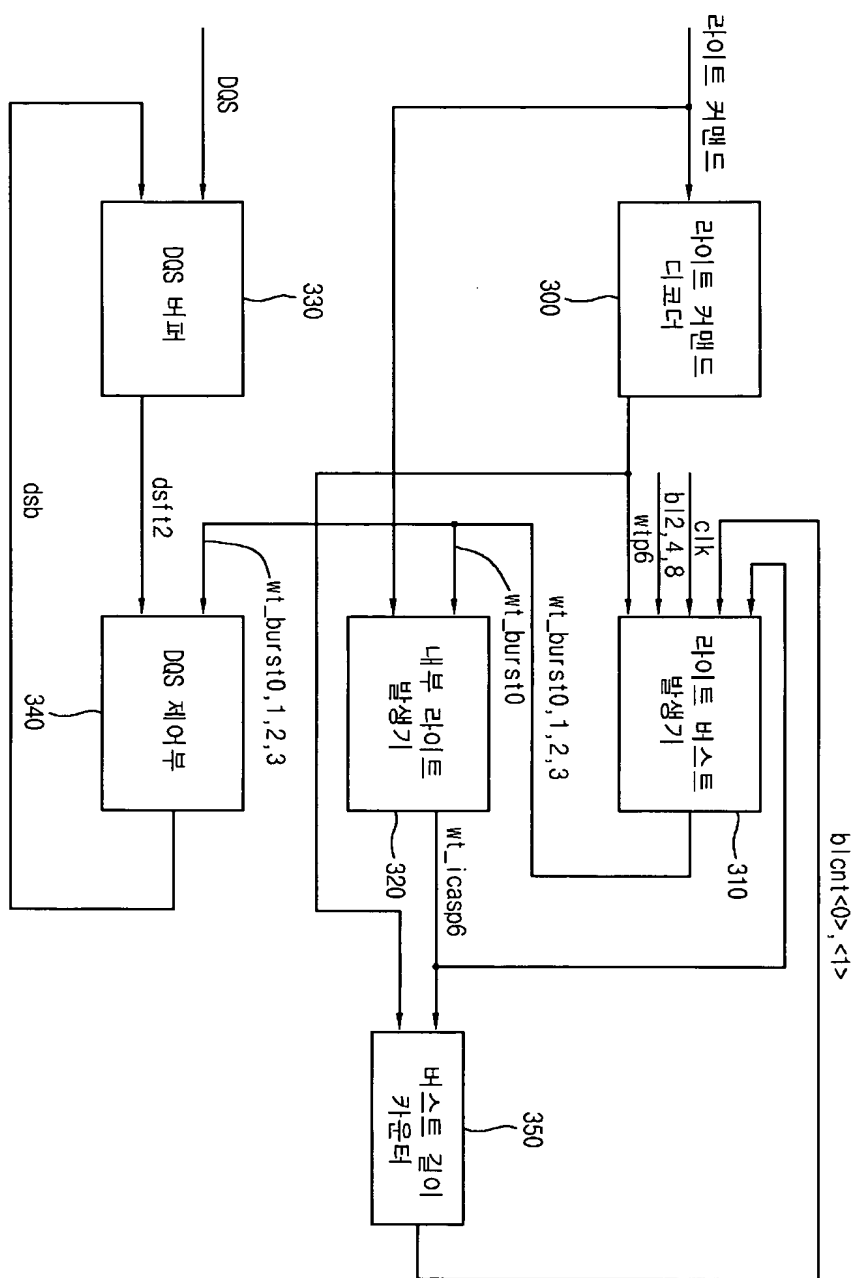




【도 2】



【도 3】



【도 4】

